

doi: 10.12068/j.issn.1005-3026.2020.04.001

基于级联滤波锁相环的电网信号同步方法

王安娜, 唐爱博, 刘宇凝, 宋崇辉
(东北大学 信息科学与工程学院, 辽宁 沈阳 110819)

摘 要: 针对电网故障条件下,传统 SRF-PLL 在进行电网信号同步时存在频率和相位信号检测误差较大的问题,提出了一种基于级联滤波锁相环的电网信号同步方法. 在 QT1-PLL 中,利用级联滤波结构改善系统的滤波性能,并使系统的响应速度得到提升. 在锁相环路内增加相位和幅值补偿环节以消除电网频率偏移对锁相结果的影响. 仿真和实验结果表明:在电压信号发生 20° 的相位跳变和 4 Hz 的频率跳变时,可以在 1.5 个电网周期内实现对频率和相位的准确检测;频率和相位超调量分别为 0.5 Hz 和 4° 时,满足并网系统快速准确的要求,验证了所提理论的正确性和有效性.

关 键 词: 级联滤波;锁相环;信号同步;频率偏移;相位跳变

中图分类号: TM 76 **文献标志码:** A **文章编号:** 1005-3026(2020)04-0457-07

Grid Signal Synchronization Method by Using Cascaded Filter Phase-Locked Loop

WANG An-na, TANG Ai-bo, LIU Yu-ning, SONG Chong-hui
(School of Information Science & Engineering, Northeastern University, Shenyang 110819, China. Corresponding author: TANG Ai-bo, E-mail: 273824313@qq.com)

Abstract: In the case of grid fault conditions, the traditional SRF-PLL has large frequency and phase signal detection errors when performing grid signal synchronization, and a grid signal synchronization method based on cascaded filter phase-locked loop was proposed. In QT1-PLL, the cascaded filtering structure was used to improve the filtering performance and the response speed of the system. The effect of grid frequency offset on phase-locked results can be eliminated by adding phase and amplitude compensation links in the phase-locked loop. Simulation and experimental results showed that accurate frequency and phase detection can be achieved in 1.5 grid periods when the voltage signal has a 20° phase step and 4 Hz frequency step. When the frequency and phase overshoot are 0.5 Hz and 4°, respectively, it can meet the fast and accurate requirements of the grid-connected system, and verify the correctness and effectiveness of the proposed theory.

Key words: cascaded filter; phase-locked loop; signal synchronization; frequency offset; phase step

在新能源并网发电工程中,为了保证并网逆变器可以向电网输送高质量的电能,并网逆变器的并网电流必须与接入的电网电压同步^[1]. 锁相环(phase-locked loop, PLL)由于其简单化的结构及控制的便捷被广泛地应用于新能源并网发电系统的电网信号同步中. 其中应用最广泛的是基于 PI 控制器的同步旋转坐标系的锁相环结构(synchronous rotating frame phase-locked loop, SRF-PLL)^[2-3]. 在电网电压平衡、无谐波干扰时, SRF-PLL 可以准确检测电网电压的频率和相位值,跟踪基波正序电压分量,实现电网信号同步. 但当电压不平衡及含有谐波时,负序电压分量和谐波分量会在锁相环路产生震荡误差,影响锁相环对电网信号的检测结果^[4].

为了消除故障工况下的锁相环检测误差,文献[5-6]在锁相环结构中加入滤波器来消除谐波分量和负序分量对检测结果的影响. 其中最为常见的滤波方法为滑动平均滤波(moving average filter, MAF)和延时信号消除(dealyed signal cancellation, DSC). 但是配置单一结构滤波器需要较长的延时时间,这会影响 PLL 系统的动态性能. 文献[7-8]提出了一种基于多级联 DSC 滤波的锁相环结构,通过将多个 DSC 模块级联,并通过选择合适的延时系数来消除指定次数的谐波. 但多级联结构增加了控制系统的复杂性和延时时间,降低了响应速度,且在电网相位跳变时存在着较大的相位检测误差. 文献[9-10]提出了基于频率自适应的二阶广义积分器(second order generalized integrator, SOGI)的锁相环结构,解决了由于引入频率反馈导致的系统动态性能降低的问题,但没有考虑谐波及直流偏移对锁相结果的影响. 文献[11]提出了基于改进 DSC 的锁相环结构,有效克服系统带宽给直流偏移消除带来的影响,但没有考虑电网电压频率变化导致 DSC 幅值和相位的变化.

综上所述,为了实现故障工况下的电网信号同步,满足并网发电系统快速、准确的要求,本文提出一种基于级联滤波锁相环的电网信号同步方法. 通过级联滤波结构增加系统滤波性能,通过增加补偿结构来消除电网频率偏移的影响. 在谐波污染、直流偏移及电网电压故障条件下,本文提出的方法拥有更佳的滤波性能和更快的响应速度,可以在 1.5 个电网周期内完成对频率、幅值、相位信号的无差估计,拥有更低的频率相位超调,通过仿真和实验验证了其正确性和有效性.

1 QTI-PLL 结构及性能分析

目前实现并网同步的 SRF-PLL 为 2 类型锁相环(线性化模型的开环传递函数在原点处有 2 个极点). 同 SRF-PLL 相比,QT1-PLL 在其锁相环路中只有一个积分单元,因此 QTI-PLL 具有更高的稳定裕度,其结构如图 1 所示^[12].

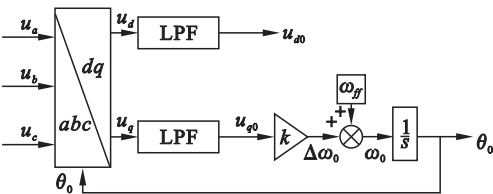


图 1 QT1-PLL 结构图
Fig. 1 Block diagram of QT1-PLL

在电网电压定向情况下,通过 Park 变换,得到 dq 轴电压分量 u_d, u_q , 经滤波器滤波后得到电压 u_{d0}, u_{q0} . 将变换后的 q 轴电压分量 u_{q0} 与比例增益 k 相乘得到频率偏差 $\Delta\omega_0$, 与给定角频率 ω_{ff} 相加得到锁相环输出的角频率 ω_0 , 通过积分环节得到电网的相位角 θ_0 .

设输入的三相电压为

$$u_x = U\cos(\theta - k_i \frac{2\pi}{3}). \tag{1}$$

式中: $x = a, b, c$ 时对应的 $k_i = 0, 1, 2$; U 为基波电压幅值; θ 为电网电压相位角, 有

$$\theta_0 = \int \omega_0(t) dt = \omega_{ff}t + \underbrace{\int \Delta\omega_0(t) dt}_{\Delta\theta_0}. \tag{2}$$

结合图 1 及式(1), 式(2), 得到 dq 坐标系下的电压分量为

$$\left. \begin{aligned} u_{d0} &= U\cos(\theta - \theta_0), \\ u_{q0} &= U\sin(\theta - \theta_0). \end{aligned} \right\} \tag{3}$$

当锁相环系统稳定时, 有 $\theta = \theta_0$, 即 $u_{d0} = U, u_{q0} = 0$. 当电网故障时, $\theta - \theta_0 \neq 0$, 无法实现准确锁相. 令 θ_i 为故障情况下电网电压相位角, 则式(2)变形为

$$\theta_i = \int \omega_i(t) dt = \omega_{ff}t + \underbrace{\int \Delta\omega_i(t) dt}_{\Delta\theta_i}. \tag{4}$$

式中, $\omega_i(t), \Delta\omega_i(t)$ 分别表示故障条件下的角频率及角频率偏差值.

此时 dq 坐标系下的电压分量为

$$\left. \begin{aligned} u'_{d0} &= U\cos(\theta_i - \theta_0) = U\cos(\Delta\theta_i - \Delta\theta_0), \\ u'_{q0} &= U\sin(\theta_i - \theta_0) = U\sin(\Delta\theta_i - \Delta\theta_0). \end{aligned} \right\} \tag{5}$$

结合式(1)~式(5), 得到 QTI-PLL 非线性结构模型^[13], 如图 2 所示.

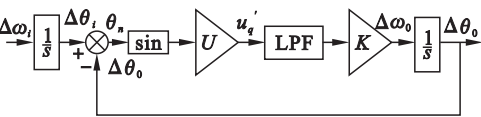


图 2 QTI-PLL 非线性模型
Fig. 2 Nonlinear model of QT1-PLL

2 基于级联 MAF-DSC 滤波的电网信号同步方法

2.1 基于级联 MAF-DSC 的滤波结构

当电网电压信号含有谐波分量时, 经 Park 变换后的 dq 分量可以表示为

$$\left. \begin{aligned} u_d &= U\cos(\theta - \theta_0) + \sum_{h \neq 1} U^h \cos(\theta^h - \theta_0), \\ u_q &= U\sin(\theta - \theta_0) + \sum_{h \neq 1} U^h \sin(\theta^h - \theta_0). \end{aligned} \right\} \tag{6}$$

式中: U^h 为 h 次谐波幅值; θ^h 为 h 次谐波相位角。

由式(6)可知: 当电网电压信号中含有谐波时, 会在锁相环的电网信号同步结果中产生震荡, 因此要对加入滤波器的 dq 轴电压分量进行滤波。其中最为常见的滤波方法为滑动平均滤波 (moving average filter, MAF) 法和延时信号消除 (delayed signal cancellation, DSC) 法。文献[14]中介绍了有关 MAF 和 DSC 的原理。MAF 的传递函数可以表示为

$$|G_{\text{MAF}}| = \frac{1 - e^{-sT_\omega}}{sT_\omega}. \quad (7)$$

式中 T_ω 表示 MAF 的窗口时间长度。

将 $s = j\omega$ 代入式(7), 并令 $h\omega = \omega_h$ (h 为谐波次数, ω 为基波角频率, ω_f 为 h 次谐波角频率), 可知

$$G_{\text{MAF}}(j\omega) = \left| \frac{\sin(\omega T_\omega/2)}{\omega T_\omega/2} \right| < -\omega T_\omega/2, \quad (8)$$

$$|G_{\text{MAF}}(h)| = \left| \frac{\sin(\pi h T_\omega/T)}{\pi h T_\omega/T} \right| = \begin{cases} 1, h=0; \\ 0, h=k \cdot \frac{T}{T_\omega}; \\ < 1, \text{其他}. \end{cases} \quad (9)$$

式中: $k = \pm 1, \pm 2, \dots$; T 为基波电压周期; T_ω 为窗口时间长度。

同理可得 dq 坐标系下 h 次谐波的 DSC 表达式和传递函数为

$$G_{\text{DSC}}(j\omega) = \left| \frac{\omega T}{2n} \right| < -\frac{\omega T}{2n}, \quad (10)$$

$$|G_{\text{DSC}}(h)| = \left| \cos\left(\frac{h\pi}{n}\right) \right| = \begin{cases} 1, h=0; \\ 0, h=n \cdot (k \pm \frac{1}{2}); \\ < 1, \text{其他}. \end{cases} \quad (11)$$

式中: $k = 0, \pm 1, \pm 2, \dots$; n 为延时系数。

结合式(9)与式(11)可得, 通过选取合适的窗口时间长度 T_ω 和延时系数 n 可以实现指定谐波次数的消除。为了消除全谐波对锁相结果的干扰, 本文选取 $T_\omega = T/2, n = 2$ 组成级联滤波结构。当谐波含量较低时, 可以根据实际情况调整 T_ω 和 n 的取值, 具有配置更加灵活的特点。级联滤波结构的幅值响应如图3所示。

由图3可知, 级联滤波器对基波分量的幅值为1, 对全谐波呈衰减特性, 因此可以实现谐波消除的目的。但在频率偏移条件下的检测结果会受到影响, 在式(5)中, 令 $\theta_n = \theta_i - \theta_0 = \Delta\theta_i - \Delta\theta_0$, 结

合图2可得

$$\theta_n = \arcsin\left(\frac{\Delta\omega_i}{kU}\right). \quad (12)$$

式中: θ_n 为相位误差; $\Delta\omega_i$ 为角频率偏移量。

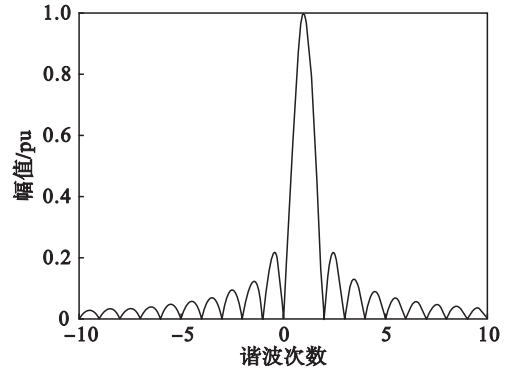


图3 级联滤波器的幅频特性

Fig. 3 Amplitude-frequency characteristics of cascaded filter

由式(12)可知: QT1-PLL 可实现相位阶跃变化下的无差跟踪, 但当频率偏移时无法实现相位零稳态误差。通过增加比例增益 k 可以减小相位误差, 但 k 值过大会导致增加系统带宽, 从而影响到对谐波抑制的能力^[12]。由式(8)与式(10)可知, 在频率偏移条件下级联滤波器的幅值和相位也会发生偏移, 这会造成基波正序电压分量幅值和相位的检测误差。

2.2 基于幅值相位补偿的级联滤波器锁相环

式(12)反映了相位误差 θ_n 与比例增益 k 和基波电压幅值 U 有关。当锁相环系统稳定时有^[13]

$$\left. \begin{aligned} \sin\theta_n &\approx \theta_n, \\ U &= \sqrt{u_{d0}^2 + u_{q0}^2}. \end{aligned} \right\} \quad (13)$$

联立式(11)与式(12)得

$$\theta_n = \arctan\left(\frac{u_{q0}}{u_{d0}}\right). \quad (14)$$

由式(14)可知, 将滤波后的输出电压 u'_d, u'_q 进行反正切运算即可实现消除基波电压幅值 U 对相位误差的影响。

设频率偏移后的角频率 $\omega_i = \omega_0 + \Delta\omega_i$, ω_0 为基波角频率, $\Delta\omega_i$ 为角频率偏移量。由于 dq 坐标系相对于 abc 坐标系以额定角频率 ω 旋转, abc 坐标系下的 h 次谐波对应于 dq 坐标系下的 $(h-1)$ 次谐波。因此频率偏移条件下的级联滤波器的幅值为

$$|G_{\text{DSC}}(j\omega_g)| \cdot |G_{\text{MAF}}(j\omega_g)| = \left| \cos\left(\frac{\Delta\omega_i T}{2n}\right) \right| \cdot \left| \frac{\sin(\Delta\omega_i T_\omega/2)}{\Delta\omega_i T_\omega/2} \right| \approx \quad (15)$$

$$1 - \frac{1}{24}(\Delta\omega_i T)^2 = G(\Delta\omega_i).$$

同理得到频率偏移条件下级联滤波器相位为

$$\angle G_{DSC}(j\omega_i) + \angle G_{MAF}(j\omega_i) = -\frac{\Delta\omega_i T_\omega}{2} - \frac{\Delta\omega_i T}{2n} = -\frac{\Delta\omega_i T}{4} = \lambda \Delta\omega_i. \tag{16}$$

频率偏移条件下级联滤波器的幅值与相位响

应曲线如图 4 所示.

由图 4 可知,当电网频率发生偏移时,滤波器幅值与相位均发生改变,这会影响电网信号同步结果的准确性,因此需要在锁相环路中加入幅值与相位补偿,以消除频率偏移带来的影响.

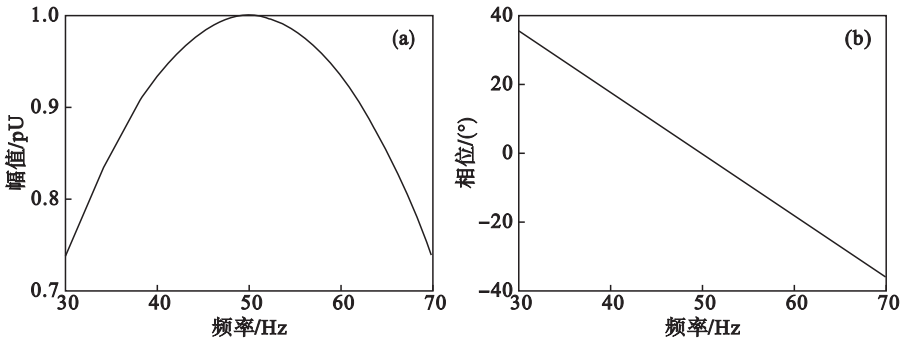


图 4 频率偏移条件下滤波器幅值与相位响应
Fig. 4 Filter amplitude and phase response under frequency offset conditions
(a)—幅值; (b)—相位.

考虑到级联滤波结构产生较大延时会降低系统的动态性能,利用文献[14]中增加补偿器的思想在锁相环路中串联相位超前补偿器以补偿系统延时. 为实现较好的延时补偿效果,本文选择双级联串联补偿结构,其传递函数为^[15]

$$G_{PL}(s) = \frac{\alpha_1(s + \omega_1)}{s + \alpha_1\omega_1} \cdot \frac{\alpha_2(s + \omega_2)}{s + \alpha_2\omega_2}. \tag{17}$$

式中: α_1, α_2 为补偿器增益; ω_1, ω_2 为截止频率. 按照文献[15]中的参数设计方法选择参数 $\alpha_1 = \alpha_2 = 5.1 \text{ rad/s}$, $\omega_1 = 125.14 \text{ rad/s}$, $\omega_2 = 107.11 \text{ rad/s}$.

加入补偿后的级联滤波锁相环结构如图 5 所示.

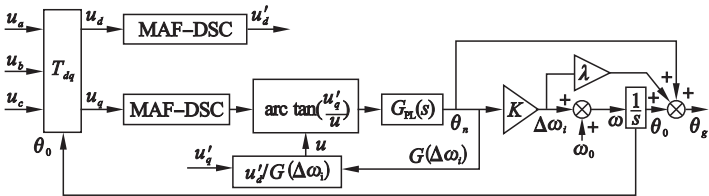


图 5 加入幅值与相位补偿的级联滤波锁相环结构
Fig. 5 Cascade filter phase-locked loop structure with amplitude phase compensation

由图 5 可知,锁相环输出相位 θ_g 为

$$\theta_g = \theta_0 + \theta'_n + \lambda \Delta\omega_i. \tag{18}$$

通过幅值和相位补偿 $G(\Delta\omega_i)$ 可以消除频率偏移的影响,实现对基波正序电压幅值的准确检测.

2.3 系统小信号模型及参数选择

基于上述分析建立锁相环的小信号模型如图 6 所示.

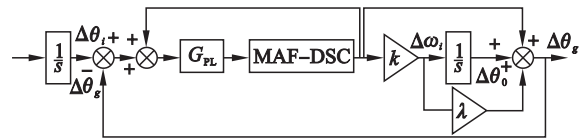


图 6 锁相环小信号模型
Fig. 6 Small signal model of PLL

对应的开环传递函数为

$$G_{ol}(s) = \frac{\Delta\theta_g(s)}{\Delta\theta_i(s) - \Delta\theta_g(s)} = \frac{H(s)}{1 - H(s)} \cdot \frac{(1 + k\lambda)s + k}{s}, \tag{19}$$

$$H(s) = G_{DSC}(s)G_{MAF}(s)G_{PL}(s).$$

式中 $H(s)$ 为级联滤波器的传递函数.

应用文献[11]中的一阶 Pade 近似方法将级联滤波器的延时环节做如下等效:

$$e^{-sT/2} \approx \frac{1 - sT/4}{1 + sT/4}, \tag{20}$$

$$G_{DSC}(s) = G_{MAF}(s) \approx \frac{1}{1 + sT/4}.$$

式中 T 为基波电压周期,取 0.02 s.

将式(20)代入式(19),得到近似的开环传递函数为

$$G_{ol}(s) \approx \frac{2(1+k\lambda)s+2k}{Ts^2}G_{PL}(s). \quad (21)$$

结合图 6 所示的小信号模型,可以将相位误差传递函数写为

$$G_e(s) = \frac{\Delta\theta_g(s)}{\Delta\theta_g(s) - \Delta\theta_i(s)} = \frac{1}{1 + G_{ol}(s)}. \quad (22)$$

相位和频率偏移时的 $G_e(s)$ 的阶跃响应为

$$\left. \begin{aligned} \theta_e^{\Delta\theta} &= \frac{\Delta\theta}{s} G_e(s), \\ \theta_e^{\Delta\omega} &= \frac{\Delta\omega}{s^2} G_e(s). \end{aligned} \right\} \quad (23)$$

式中, $\theta_e^{\Delta\theta}$, $\theta_e^{\Delta\omega}$ 分别表示相位和频率的阶跃响应.

为了兼顾系统在频率相位偏移条件下的响应速度,比例增益 k 和误差调节时间 t_{set} 的关系曲线如图 7 所示.

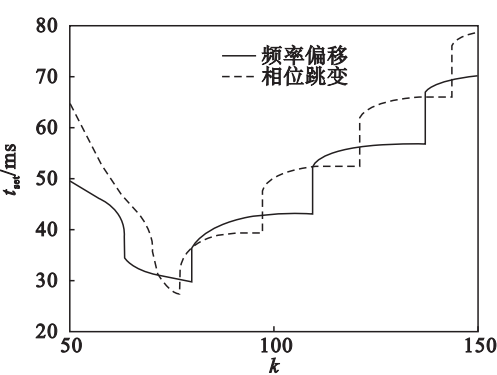


图 7 调节时间与比例增益 k 的关系曲线
Fig. 7 Setting time as a function of k

为了同时满足相位跳变和频率跳变时的调节时间最小,选择两条曲线最低交点处对应的横坐标为 k 的取值. 根据图 7,选择 k 为 70,对应的调节时间为 0.03 s.

考虑到系统的稳定性,通常使开环传递函数的稳定裕度 (phase margin, PM) 保持在 45° ,由式 (21) 可知,PM 只和系统比例增益 k 有关,做出 PM 与 k 的关系曲线如图 8 所示.

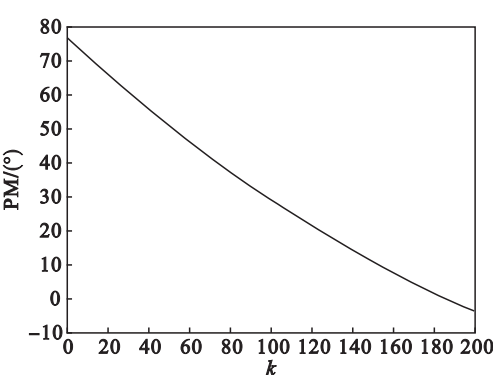


图 8 相位裕度 PM 与比例增益 k 关系曲线
Fig. 8 PM variations as a function of k

由图 8 可知, $PM = 45^\circ$ 时对应的 k 值为 65,综合考虑动态响应和稳定性,选取 $k = 70$. 代入式 (21) 得到系统开环传递函数的波特图,如图 9 所示.

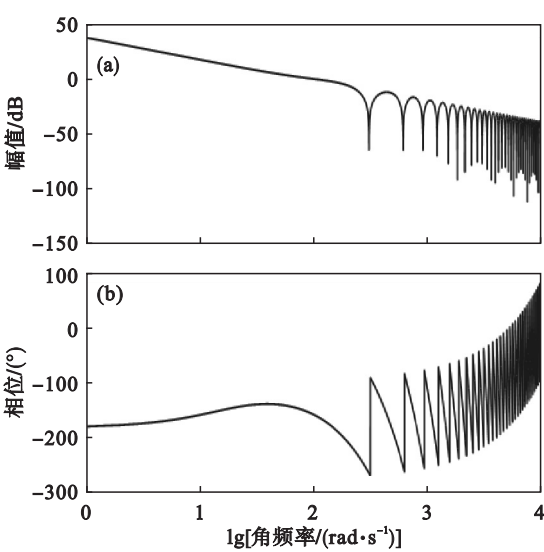


图 9 系统开环传递函数波特图
Fig. 9 Open-loop bode diagram of the system
(a)—幅值; (b)—相位.

由图 9 可知,系统相位裕度为 43.8° 时,频率为 7.1 Hz. 级联滤波锁相环可以消除电网电压谐波分量及不对称故障对锁相结果的影响,使其在频率偏移和相位跳变的情况下依然可以保证准确锁相.

3 仿真及实验分析

在 Matlab/Simulink 环境下进行仿真,锁相环的比例增益 $k = 70$,三相电压幅值 $U = 311$ V,对应的归一化幅值为 1.0 pu,仿真时间 0.5 s,采样频率 10 kHz. 将文献[7]中的 MDSC-PLL 和文献[8]中的 CDSC-PLL 加入到仿真中进行对比.

3.1 相位跳变仿真

仿真条件设置:加入 5,7,20,25 次谐波,谐波分量的幅值为 0.01 pu,A 相混有 0.03 pu 的直流分量. 0.1 s 时电网电压发生 $+20^\circ$ 的相位跳变,3 种锁相环相位估计误差及电网频率估计值如图 10 所示.

由图 10 可知:QT1-PLL 经过 0.03 s 实现了系统稳定,具有最短的调节时间,同时具有最小的相位误差. 而 CDSC-PLL 和 MDSC-PLL 具有较长的调节时间和较大的相位误差,不能实现电网信号的快速同步.

3.2 频率跳变仿真

仿真条件:谐波和直流分量的设置同 3.1 节.

0.1 s 时电网电压发生 +4 Hz 的频率跳变,同时 B 相电压跌落 50% . 仿真结果如图 11 所示.

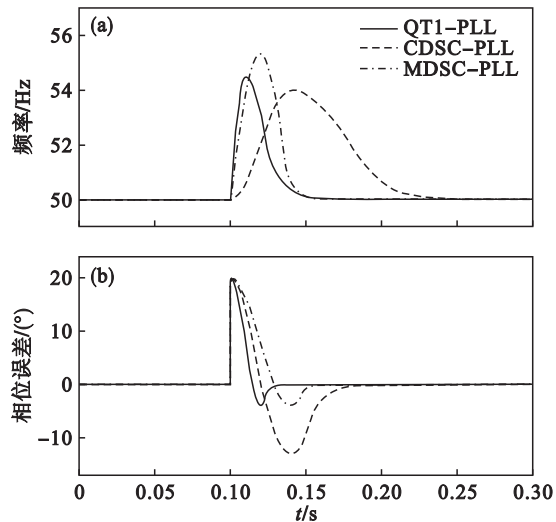


图 10 相位跳变时的仿真结果
Fig. 10 Simulation results with phase steps
(a)—频率; (b)—相位误差.

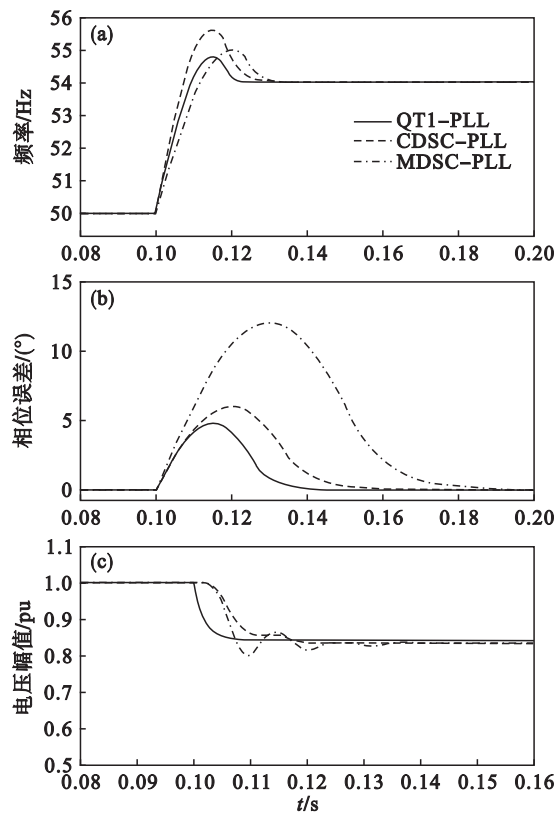


图 11 频率跳变时的仿真结果
Fig. 11 Simulation results with frequency steps
(a)—频率; (b)—相位误差; (c)—幅值.

由图 11 可知:经过 1.5 个电网周期,QT1 - PLL 实现了对电网频率的准确估计,同其他两种锁相环相比用时最短,同时实现了最小的相位误差. 在电网电压跌落时,QT1 - PLL 由于增加了幅值补偿和相位补偿,可以消除滤波器幅值偏移对

电网电压幅值相位检测的误差, B 相电压跌落 50% 时,检测到三相电网电压幅值为 0.84 pU. 另外两种锁相环由于滤波器幅值随频率偏移而减小的特点,对电网幅值检测值偏小,无法实现电网信号的准确同步.

3.3 实验及结果分析

实验基于 TMS320F28335 的 DSP 展开,利用 DSP 设计函数发生器来模拟电网电压信号. DSP 的采样频率为 10 kHz,电网电压频率为 50 Hz. 图 12,图 13 为对应的实验结果.

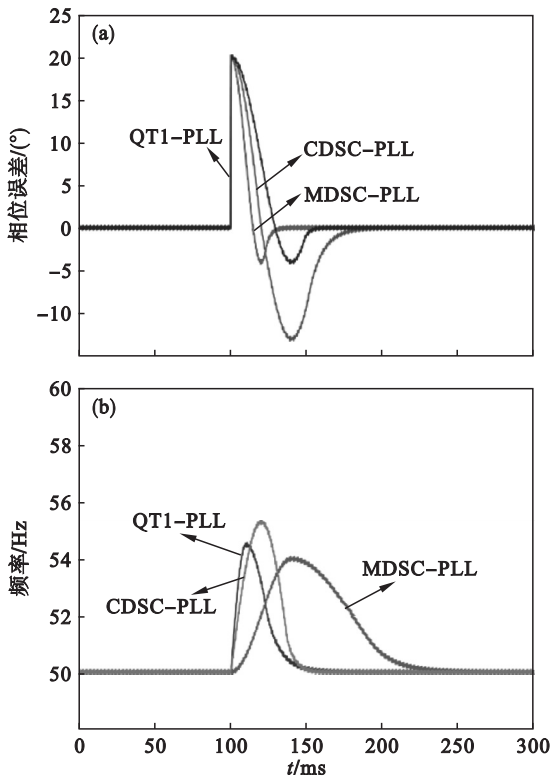
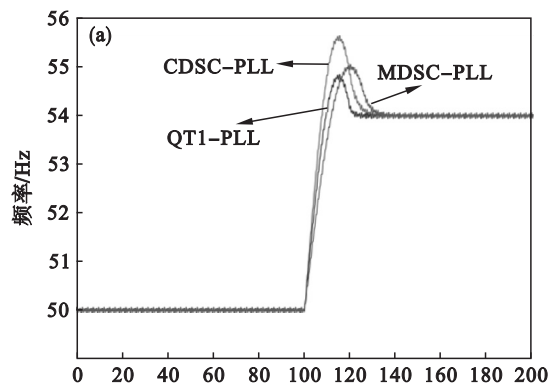


图 12 相位阶跃时的实验结果
Fig. 12 Experiment results under phase step
(a)—相位误差; (b)—频率.

由图 12、图 13 可知:实验结果与仿真结果基本一致,进一步验证了本文方法在故障工况下进行电网信号同步时拥有更佳的滤波性能、更快的响应速度和更低的频率相位超调.



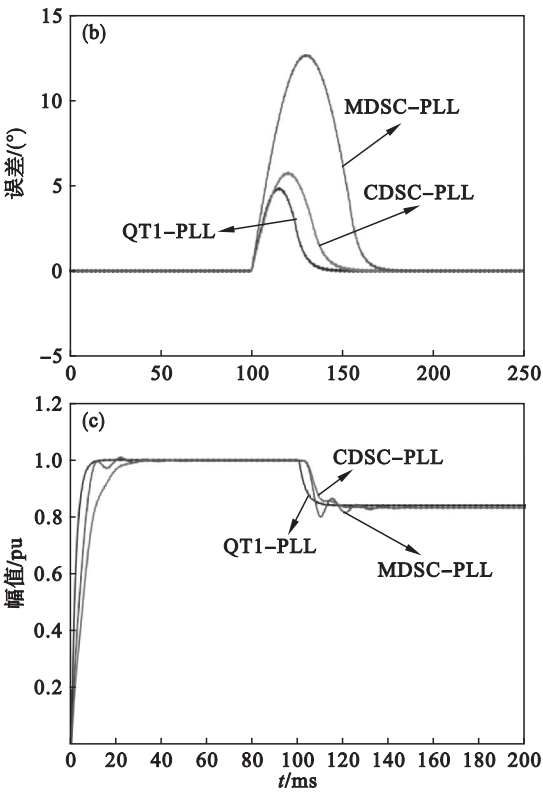


图 13 频率跳变时的实验结果

Fig. 13 Experiment results with frequency steps

(a)—频率; (b)—相位误差; (c)—幅值.

4 结 论

1) 本文提出了一种基于级联滤波锁相环的电网信号同步方法. 在 QT1 - PLL 中通过级联滤波实现全谐波的消除,增加系统的滤波性能. 同时在锁相环路内增加相位和幅值补偿环节来保证在电压不平衡、频率相位偏移条件下电网信号的准确同步.

2) 仿真和实验结果表明:本文方法具有更好的滤波能力、更快的响应速度、更低的频率相位超调和更准确的幅值检测结果,从而验证了其正确性和有效性.

参考文献:

[1] 李子林,傅闯,汪娟娟,等. 实现相位和频率检测解耦的快速锁相环[J]. 电力系统自动化,2019,43(5):143-154.
(Li Zi-lin, Fu Chuang, Wang Juan-juan, et al. A fast phase-locked loop for phase and frequency detection decoupling [J]. *Automation of Electric Power Systems*, 2019, 43(5): 143-154.)

[2] 杜雄,刘延东,王国宁,等. 采用正弦幅值积分器的单同步参考坐标系同步信号检测方法[J]. 电工技术学报,2015,30(8):167-175.
(Du Xiong, Liu Yan-dong, Wang Guo-ning, et al. Synchronous signal detection method for single synchronous reference coordinate system using sinusoidal amplitude

integrator [J]. *Transactions of China Electrotechnical Society*, 2015, 30(8): 167-175.)

[3] Kaura V, Blasko V. Operation of a phase locked loop system under distorted utility conditions [J]. *IEEE Transactions on Industry Applications*, 1997, 33(1): 58-63.

[4] 王佳浩,潘欢,纳春宁. 电网电压不平衡和谐波畸变下新型并网锁相环设计[J]. 电力系统保护与控制,2019,47(15): 108-115.
(Wang Jia-hao, Pan Huan, Na Chun-ning. Design of a novel grid-connected phase-locked loop under voltage unbalance and harmonic distortion [J]. *Power System Protection and Control*, 2019, 47(15): 108-115.)

[5] Golestan S, Guerrero J M. Conventional synchronous reference frame phase-locked loop is an adaptive complex filter [J]. *IEEE Transactions on Industrial Electronics*, 2015, 62(3): 1679-1682.

[6] 曾争,杨家强. 一种频率自适应滑动平均滤波器的电网同步方法[J]. 浙江大学学报(工学版),2014,48(9):1696-1703.
(Zeng Zheng, Yang Jia-qiang. A grid synchronization method for frequency adaptive moving average filter [J]. *Journal of Zhejiang University (Engineering)*, 2014, 48(9): 1696-1703.)

[7] Gude S, Chu C C. Three-phase PLLs by using frequency adaptive multiple delayed signal cancellation pre-filters under adverse grid conditions [J]. *IEEE Transactions on Industry Applications*, 2018, 54(4): 3832-3844.

[8] Xie M X, Yang Y, Wen H Q, et al. A method to improve the transient response of dq-frame cascaded delayed-signal-cancellation PLL [J]. *Electric Power Systems Research*, 2018, 155(2): 121-130.

[9] 王国宁,孙鹏菊,杜雄,等. 电网电压不对称时锁相环同步信号检测方法的动态性能[J]. 电工技术学报,2015,30(22):163-171.
(Wang Guo-ning, Sun Peng-ju, Du Xiong, et al. Dynamic performance of frequency-locked loop synchronization signal detection method under grid voltage asymmetry [J]. *Transactions of China Electrotechnical Society*, 2015, 30(22): 163-171.)

[10] Kulkarni A, John V. Design of a fast response time single-phase PLL with dc offset rejection capability [J]. *Electric Power Systems Research*, 2017, 145: 35-43.

[11] 回楠木,王立志,李云路. 改进型 DSC 的并网锁相环直流偏移消除方法[J]. 东北大学学报(自然科学版),2018,39(11):1526-1531.
(Hui Nan-mu, Wang Da-zhi, Li Yun-lu. A method for eliminating dc offset of grid-connected phase-locked loop of improved DSC [J]. *Journal of Northeastern University (Natural Science)*, 2018, 39(11): 1526-1531.)

[12] Golestan S, Freijedo F D, Vidal A, et al. A quasi-type-1 phase-locked loop structure [J]. *IEEE Transactions on Power Electronics*, 2014, 29(12): 6264-6270.

[13] Golestan S, Guerrero J, Vasquez J. Three-phase PLLs: a review of recent advances [J]. *IEEE Transactions on Power Electronics*, 2017, 32(3): 1894-1907.

[14] Huang Q, Kaushik R. An improved delayed signal cancellation PLL for fast grid synchronization under distorted and unbalanced grid condition [J]. *IEEE Transactions on Industry Applications*, 2017, 53(5): 4985-4997.

[15] Pena-Alzola R, Liserre M, Blaabjerg F, et al. Systematic design of the lead-lag network method for active damping in lcl-filter based three phase converters [J]. *IEEE Transactions on Industrial Informatics*, 2014, 10(1): 43-52.