

异步 2D-Torus 片上网络自适应路由算法

李贞妮, 李晶皎, 方志强, 王 骄
(东北大学 信息科学与工程学院, 辽宁 沈阳 110819)

摘 要: 采用异步电路设计方法学, 针对确定性路由算法在异步片上网络实现中遇到的容易阻塞和路由资源浪费等问题, 提出了一种适用于 2D-Torus 拓扑结构的异步片上网络自适应路由算法, 并搭建测试平台, 对基于该算法的异步片上网络的功能和性能进行分析、验证与测试。结果表明, 该算法可以满足路由自适应的要求, 有效减小片上网络的路由延迟。基于该算法的异步片上网络可以满足多方向数据通信、多路数据并行通信和数据请求平等仲裁等性能要求, 并且可以实现对从节点 IP 核的访问调用。

关 键 词: 片上网络; 异步; 2D-Torus; 路由算法; 自适应

中图分类号: TP 393.0 **文献标志码:** A **文章编号:** 1005-3026(2015)09-1217-05

Adaptive Routing Algorithm of Asynchronous 2D-Torus Network-on-Chip

LI Zhen-ni, LI Jing-jiao, FANG Zhi-qiang, WANG Jiao

(School of Information Science & Engineering, Northeastern University, Shenyang 110819, China. Corresponding author: LI Zhen-ni, E-mail: lizhen@ise.neu.edu.cn)

Abstract: To solve the problem of easily blocking and the waste of routing resources of asynchronous network-on-chip (NoC) using determined routing algorithm, an adaptive routing algorithm suitable for asynchronous NoC using 2D-Torus topology was proposed based on the asynchronous circuit design methodology. A test platform was established, and the function and performance of the asynchronous NoC were analyzed, verified and tested. The experimental result indicates that the adaptive routing algorithm proposed can meet the requirement of self-adaptive routing, and can effectively reduce the transport delay. The asynchronous NoC system proposed supports multi-directional data communication, multi-channel parallel data communication and equal arbitration of data request, and it can call the IP core to perform the corresponding data processing.

Key words: NoC; asynchronous; 2D-Torus; routing algorithm; adaptive

随着集成电路技术的飞速发展, 系统规模越来越大, 时钟频率越来越高。传统总线时钟和功耗方面的问题越来越难以解决。片上网络(network-on-chip, NoC)可以很好地解决这些问题, 已逐渐成为片上多核的标准通信架构。目前大多数片上网络采用同步通信机制, 网络节点间的通信采用单一时钟驱动。只有少量片上网络采用异步通信机制, 网络节点间的通信由局部握手协议控制。对异步片上网络的研究相对落后于同步片上网络,

主要是由于异步电路设计较为复杂, 且缺少成熟的工具支持^[1]。然而, 这并不影响研究异步片上网络的重要性。异步片上网络与同步片上网络相比具有很多优势: 异步电路无时钟偏斜、模块化程度高、功耗低、电磁兼容性强等^[2-3]。按国际半导体技术发展路线图估计, 到 2024 年, 49% 的片上全局信号将由异步电路传递^[4]。

目前, 典型的异步片上网络主要有: 文献[5]提出的 GALS (globally asynchronous and locally

收稿日期: 2014-12-24

基金项目: 国家自然科学基金资助项目(61370153)。

作者简介: 李贞妮(1982-), 女, 辽宁沈阳人, 东北大学讲师, 博士研究生; 李晶皎(1964-), 女, 辽宁沈阳人, 东北大学教授, 博士生导师。

synchronous) NoC SpiNNaker 是用于实时仿真生物神经网络的众核计算系统,采用树型拓扑结构.文献[6]提出异步片上网络 ASPIN,采用全定制版图设计,路由器结构简单,适用于二维网状网拓扑结构.文献[7]提出的异步片上网络 ANOC,使用虚拟通道 VC(virtual channel).然而,已发表的异步 NoC,大多数采用确定性路由算法(如源路由, X-Y 路由)^[7-8],当发生阻塞时,可能会出现路由资源的浪费,而且会降低数据传输的效率.

针对确定性路由算法在异步片上网络实现中遇到的问题,本文提出了一种针对 2D-Torus 异步片上网络的自适应路由算法 AA-XY 路由算法(asynchronous adaptive X-Y routing algorithm).该路由算法不再被动地执行路由策略,而是通过对路由环境中阻塞信息的监控,结合“最短路径策略”,动态地调整下一跳的路由节点,尽可能规避阻塞严重或出现故障的路由节点,减小路由延迟.在当前路由节点进行路由计算前,检测需要传输方向的局部阻塞信号,优先选择状态为空闲的路由节点.

1 AA-XY 算法描述

为解释算法,假设源节点为 $S(x_s, y_s)$,目的节点为 $D(x_{dst}, y_{dst})$,当前节点为 $C(x, y)$;路由开始时, $C(x, y) = S(x_s, y_s)$,同时每个路由节点具有 9 个方位,分别为 E(东), S(南), W(西), N(北), O(本地), NE(东北), SE(东南), SW(西南), NW(西北),如图 1 所示.

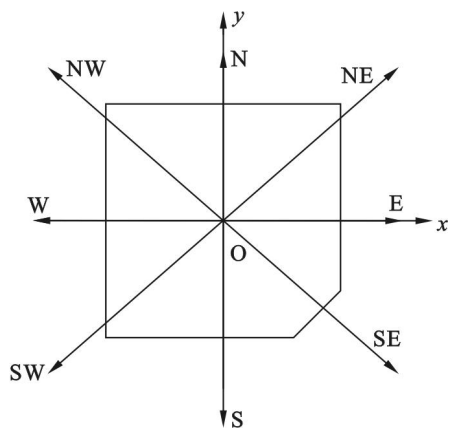


图 1 2D-Torus 结构异步 NoC 中节点方位示意图
Fig. 1 The diagram of the node positions in 2D-Torus asynchronous NoC

2D-Torus 结构异步片上网络的每行每列路由节点首尾相接,形成一个环形的结构,其路由方位并不是单纯的坐标上的大小关系.对于一个 $4 \times$

4 的异步 2D-Torus 片上网络,假定 $(0,0)$ 节点在网络的左下角, $(3,3)$ 节点在网络的右上角.算法中,等距离情况下优先判断为东/北方向的路径.即目的节点在 x 方向从东侧和从西侧距离当前节点的长度相同时,会优先判断为东向路径, y 方向同理.

路由算法执行过程如下:

1) 若 $y_{dst} = y, x_{dst} = x$,说明目标节点即为当前节点,路由计算模块会将数据发送到当前节点的本地端口 O.

2) 若 $y_{dst} = y, x_{dst} = x - 1$,说明目标节点是当前节点的 W 方向第一个,此时路由节点路由计算模块将发送控制信息,将数据发送到西向输出端口 W.

3) 若 $y_{dst} = y, x_{dst} = (x + 1)$ 或 $(x + 2)$,说明目标节点在当前的 E 方向,此时路由节点路由计算模块将发送控制信息,将数据发送到东向输出端口 E.

4) 若 $y_{dst} = y - 1, x_{dst} = x$,说明目的节点是当前节点的 S 方向第一个,此时路由节点路由计算模块将发送控制信息,将数据发送到南向输出端口 S.

5) 若 $y_{dst} = y - 1, x_{dst} = x - 1$,说明目的节点在当前节点的 SW 方向,此时路由节点路由计算模块需要判断 W 方向和 S 方向输出路径的阻塞情况.阻塞情况由传输方向上的局部阻塞信号 full 给出,若 W 方向阻塞 ($full_W = 1$) 而 S 方向不阻塞 ($full_S = 0$),则路由计算模块发送控制信息,将数据发送到 S 方向输出端口;否则,发送数据到 W 方向输出端口.

6) 若 $y_{dst} = y - 1, x_{dst} = (x + 1)$ 或 $(x + 2)$,说明目的节点是当前节点的 SE 方向,此时路由节点路由计算模块需要判断 E 方向和 S 方向的输出路径的阻塞情况,若 E 方向阻塞 ($full_E = 1$) 而 S 方向不阻塞 ($full_S = 0$),则路由计算模块发送控制信息,将数据发送到 S 方向输出端口;否则,发送数据到 E 方向输出端口.

7) 若 $y_{dst} = (y + 1)$ 或 $(y + 2), x_{dst} = x$,说明目的节点是当前节点的 N 方向,路由计算模块发送控制信息,将数据发送到北向输出端口 N.

8) 若 $y_{dst} = (y + 1)$ 或 $(y + 2), x_{dst} = x - 1$,说明目的节点是当前节点的 NW 方向,此时路由节点路由计算模块需要判断 W 方向和 N 方向输出路径的阻塞情况,若 W 方向阻塞 ($full_W = 1$) 而 N 方向不阻塞 ($full_N = 0$),则路由计算模块发送控制信息,将数据发送到 N 方向输出端

口;否则,发送数据到 W 方向输出端口。

9) 若 $y_dst = (y + 1)$ 或 $(y + 2)$, $x_dst = (x + 1)$ 或 $(x + 2)$, 说明目的节点是当前节点的 NE 方向,此时路由节点路由计算模块需要判断 E 方向和 N 方向的输出路径的阻塞情况,若 E 方向阻塞 ($full_E = 1$) 而 N 方向不阻塞 ($full_N = 0$), 则路由计算模块发送控制信息,将数据发送到 N 方向输出端口;否则,发送数据到 E 方向输出端口。

2 基于 AA-XY 算法的异步片上网络

为了测试 AA-XY 算法的有效性,搭建基于 AA-XY 算法的异步片上网络。采用异步电路设计方法学,利用 Petri 网和异步有限状态机^[9]进行电路的建模与设计。

2.1 路由节点设计

本文研究的片上网络拓扑结构是 4×4 节点的 2D-Torus 结构,每个路由节点分为五个端口:北/东/南/西/本地(N/E/S/W/O),各个端口的结构类似,都可以分为输入部分和输出部分。输入部分包含五个模块:输入端 port_in、数据接收模块 receiver、海明码解码模块 ham_decode、路由计算模块 analysis 和交叉开关模块 split。输出部分包含四个模块:数据仲裁模块 arbiter、海明码编码模块 ham_encode、数据发送模块 send 和输出端 port_out。其中海明码编解码模块,用于对传输的数据检错纠错。各个模块以端口名+模块名/输入端名/输出端名进行命名,例如西向端口的数据接收模块命名为 Wreceiver,本地端口的输出端命名为 Oport_out。

通过对路由节点进行数据流分析,并根据 AA-XY 路由算法和所选拓扑结构,对路由节点内部结构进行 Petri 网建模来描述允许的接口行为。文中列举西向端口和本地端口通信时的 Petri 网模型,具体如图 2 所示。

由图 2 可知,在初始状态中, Wport_in 准备好接收外部来的数据,节点内没有数据进行传输,每个变迁(Wreceiver/Wham_decode 等)的前置集的库所都没有大于或等于 1 的标志。若变迁 Wport_in 的使能有效,则从节点外部接收数据到 Wport_in 的后置库所中;这时 Wreceiver 的前置集的库所有为 1 的标志, Wreceiver 使能有效,将前置集中的数据传输到后置集;依次下去,当 Wsplit 变迁使能有效时,会根据信息中携带的控制信息将数据发送到相应的输出端口的数据仲裁端口

(本例中: Oarbiter), 经过变迁 Oham_encode、Osend, 发送到本地输出端口 Oport_out。

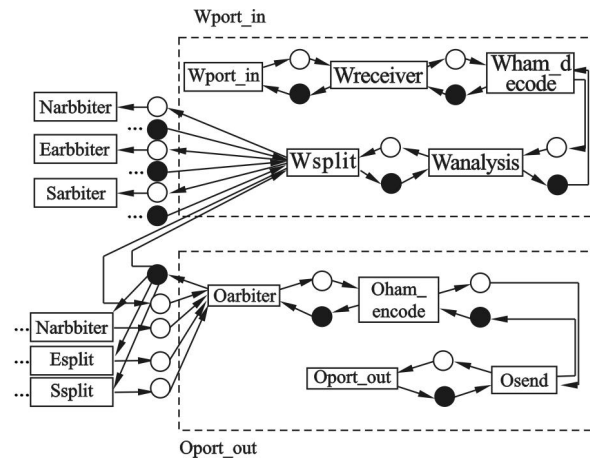


图 2 异步 NoC 路由节点内部数据 Petri 网

Fig. 2 The Petri net model of the asynchronous NoC routing node

2.2 路由计算模块设计

路由计算模块 analysis 是异步片上网络功能的核心模块,用以实现路由算法。使用异步有限状态机的猝发模式(burst mode, BM)^[10]来设计 analysis 模块,状态转换图如图 3 所示。

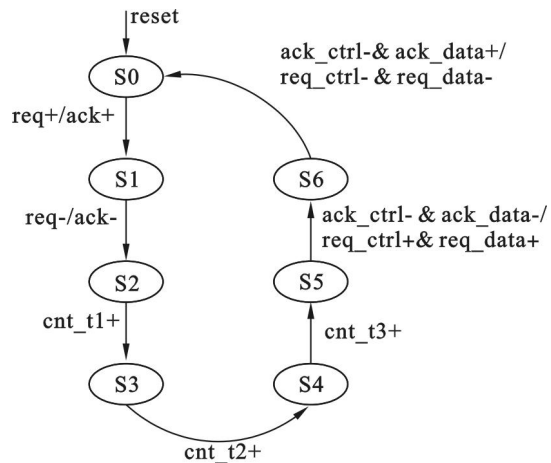


图 3 路由计算模块状态转换图

Fig. 3 The state transition chart of the routing module

BM 机包含七个状态:

1) S0 准备状态,复位后状态机进入此状态,等待由数据解码模块发送的数据请求信号 req 的来临。当该请求信号 req 有效,即 req 从低电平变为高电平后,将返回到数据解码模块的回应信号 ack 置为有效,即 ack 置为高电平,状态机转向数据接收状态 S1。

2) S1 数据接收状态,将数据缓存到路由计算模块 analysis 中,等待从数据解码模块发送的数据请求信号 req 置为无效,即 req 置为低电平。

若该数据请求信号 req 从高电平变为低电平,将返回到数据解码模块的回应信号 ack 置为无效,即 ack 置为低电平,状态机转向信息存储状态 S2.

3) S2 信息存储状态,将从数据解码模块接收的数据中携带的目的地址信息、节点当前各个端口的数据传输状态、邻节点阻塞状态等信息进行锁存. 为保证数据存储的正常进行,将保持 S2 状态至存储工作的完成,存储工作的时间取决于计算电路的最长路径长度,需要根据具体的电路设定 S2 保持的时间 t_{S2} . S2 保持时间达到 t_{S2} (状态图中表示为 cnt_{t1} 由低电平变为高电平)后,状态机转向位移信息计算状态 S3.

4) S3 位移信息计算状态,根据 S2 状态中存储的地址信息计算数据传输的目的节点与当前节点间的位移信息. 为保证信息计算的正常进行,将保持 S3 状态至信息计算的完成,信息计算工作的时间取决于计算电路的最长路径长度,需要根据具体的电路设定 S3 保持的时间 t_{S3} . S3 保持时间达到 t_{S3} (状态图中表示为 cnt_{t2} 由低电平变为高电平)后,状态机转向路由计算状态 S4.

5) S4 路由计算状态,根据路由位移信息、当前节点相应输出通道的状态和相邻节点的阻塞信息,使用 AA-XY 维序算法进行路由计算. 为保证路由计算的正常进行,将保持 S4 状态至路由计算工作的完成,路由计算工作时间取决于计算电路的最长路径长度,需要根据具体的电路设定 S4 的保持时间 t_{S4} . S4 持续时间达到 t_{S4} (状态图中表示为 $cnt_{t3}+$)后,状态机转向 S5 状态.

6) S5 数据发送状态,若交叉开关模块的数据回应信号 ack_data 和控制信息回应信号 ack_ctrl 都为低电平,将路由计算后的有效数据和控制信息同时发送到交叉开关模块,同时将向交叉开关模块发送的数据请求信号 req_data 和控制信息请求信号 req_ctrl 置为高电平,状态机转向结束状态 S6.

7) S6 结束状态,等待交叉开关模块的数据回应信号 ack_data 和控制信息回应信号 ack_ctrl 都有效,若检测到该回应信号都为高电平,将向交叉开关模块发送的数据请求信号 req_data 和控制信息请求信号 req_ctrl 都置为低电平,本模块发送端的数据清零,状态机回到状态 S0.

2.3 异步片上网络设计

为了验证 AA-XY 路由算法,将 16 个异步路由节点以 2D-Torus 拓扑结构连接成异步片上网络,总体结构如图 4 所示. RPU 为路由节点挂

载的计算单元.

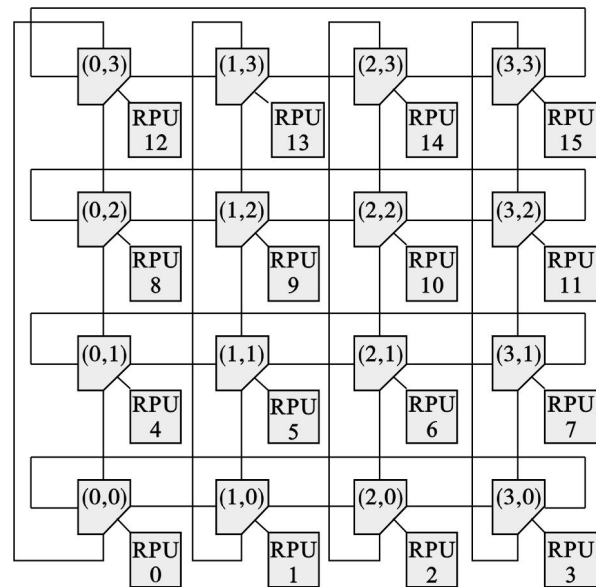


图 4 2D-Torus 结构异步 NoC

Fig. 4 The 2D-Torus asynchronous NoC

3 系统测试及结果分析

该异步片上网络采用 System Verilog 语言,在 Modelsim 10.0 上实现并测试.

3.1 AA-XY 算法测试及结果分析

根据 AA-XY 算法,每个路由节点都会将东南西北四个方向输入端口的阻塞情况反馈给相邻节点,邻节点根据阻塞信息和本节点内数据需要输出路径上的阻塞情况决定路由方向.

测试中,连续的数据 0x063cf6 从西向输入端口进入路由节点,解码后得到原数据 0x8e76. 根据 AA-XY 算法,数据需要向东向节点发送. 为了模拟阻塞情况,仿真时将东向节点的回应信号 $Eack_b$ 置低,这样东向输出端口的数据发送模块接收不到有效的回应信号,会一直处于 S3 状态,不会返回 S0 状态,后续的数据也就没法进入 $Esend$ 模块. 依次下去, $Eham_encode$ 和 $Earbiter$ 也会保持在结束状态,不会回到准备状态,不能接收新数据. 不过由于测试数据中数据发送的速度比较慢,间隔时间足够数据通过节点内两个模块,所以在东向输出端口的三个模块 $Earbiter$ 、 $Eham_encode$ 和 $Esend$ 刚处于阻塞状态时, $Wsplit$ 模块仍处于 S0 状态,还没有新的数据进入. 此时 $Wanalysis$ 模块根据输出端口的阻塞信息对数据进行路由判断,得出控制信号 011000,然后发送到 $Wsplit$ 模块. $Wsplit$ 将数据发送到北向输出端口的仲裁模块 $Narbiter$,然后通过输出端口发送到上侧的邻节点 (1,3).

根据仿真时得到的路由路径信息,说明节点在数据的输出通道遇到阻塞时,会主动避开阻塞通道.上述测试中,数据发送速度较慢,可以自适应检测阻塞来进行路由判断.假如数据发送速率较快,发送时间间隔小于让数据传输两个模块的时间,那么当有连续数据流进入片上网络,在输出端口阻塞的时候,输入端口的交叉开关内也会有有效数据,此时路由计算模块会将锁存的数据发送到空闲方向.由上述测试验证得知,路由节点可以自动检测输出端口的忙碌程度,较好地数据进行数据的分配传输,有效地减小路由延迟.

3.2 通信性能测试及结果分析

测试中,在片上网络的 $(1,1)$, $(2,1)$, $(1,2)$ 和 $(2,2)$ 节点分别挂载一个 4×4 异步乘法器.以 $(0,0)$, $(3,0)$, $(0,3)$ 和 $(3,3)$ 节点为主节点,分别向这四个异步乘法计算单元进行访问,调用乘法器进行数据乘法运算,运算完成后,计算节点分别把计算结果返回给主节点.运算的数据分别是 2×3 , 2×6 , 2×12 和 4×8 .从本地发送的数据分别为 $0x0532$, $0x3662$, $0xc9c2$ 和 $0xfa84$.测试结果表明,设计的 4×4 节点 2D-Torus 异步片上网络具有多方向通信的功能,对从节点计算单元 IP 核进行访问调用的功能以及多节点并行传输通信的功能.

4 结 论

本文提出了一种针对 2D-Torus 异步片上网络的自适应路由算法 AA-XY 路由算法.并利用异步电路设计方法学,设计并实现了基于 AA-XY 算法的 4×4 节点 2D-Torus 结构片上网络.实验结果表明,AA-XY 算法可以规避阻塞严重或出现故障的路由节点,减小路由延迟.基于该算法的异步片上网络,能够实现多方向通信,IP 核调用以及多节点并行通信的功能.异步片上网络是下一代多核系统的优选片上通信架构,因此本文提出的面向异步电路的路由算法和基于该算法

的异步片上网络具有较好的应用前景.

参考文献:

- [1] 宋威, Doug Edwards. 异步片上网络研究综述[J]. 计算机辅助设计与图形学学报, 2012, 24(6): 699-709.
(Song Wei, Doug Edwards. Survey of asynchronous networks-on-chip [J]. *Journal of Computer-Aided Design & Computer Graphics*, 2012, 24(6): 699-709.)
- [2] Naoya O, Tomoyoshi F. High throughput compact delay-insensitive asynchronous NoC router [J]. *IEEE Transactions on Computers*, 2014, 63(3): 637-649.
- [3] Gebhardt D, You J S, Stevens K. Design of an energy-efficient asynchronous NoC and its optimization tools for heterogeneous SoCs [J]. *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, 2011, 30(9): 1387-1399.
- [4] ITRS. International technology roadmap for semiconductor. chapter design [EB/OL]. [2013-10-10]. <http://www.itrs.net/reports.html>.
- [5] Plana L A, Furber S B, Temple S, et al. A GALS infrastructure for a massively parallel multiprocessor [J]. *IEEE Design & Test of Computers*, 2007, 24(5): 454-463.
- [6] Sheibanyrad A. Asynchronous implementation of a distributed network-on-chip [D]. Paris: University of Pierre et Marie Curie, 2008.
- [7] Belgne E, Clermidy F, Vivet P, et al. An asynchronous NoC architecture providing low latency service and its multi-level design framework [C] // Proceedings of the 11th International Symposium on Asynchronous Circuits and Systems. Los Alamitos: IEEE Computer Society Press, 2005: 54-63.
- [8] Dobkin R R, Ginosar R, Kolodny A. QNoC asynchronous router [J]. *Integration, the VLSI Journal*, 2009, 42(2): 103-115.
- [9] Jens S, Steve F. Principles of asynchronous circuit design: a systems perspective [M]. London: Kluwer Academic Publishers, 2009.
- [10] Chris J M. Asynchronous circuit design [M]. New York: Wiley-Interscience, 2004.